

Reference 1

Japanese Patent Public Disclosure No. 164958/1980

Date of Public Disclosure: December 23, 1980

Application No. 75397/1980

Application Date: June 4, 1980

Priority: S.N. 455476 (US)

Inventor: Richard David Liza

Applicant: Memorex Corporation

Title: Disk Cache Subsystem

Claim:

A cache subsystem for use in a direct access storage device with a data processing device, for decreasing time taken to retrieve desired data, said subsystem comprises a direct access storage device for storing and detecting data, a data storage device for storing said desired data, and a control device for communicating said direct storage device, said data storage device and said data processing device and for controlling the communication between these devices, said control device enables the time taken to retrieve said desired data from said data storage device to be less than that taken to retrieve said desired data from said direct storage device.

BEST AVAILABLE COPY

STK V. EMC  
STK 08827

⑨ 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭55—164958

③ Int. Cl.<sup>3</sup>

G 06 F 13/04  
G 11 C 9/06  
// G 11 B 5/09

識別記号

厅内整理番号  
7361—5B  
7056—5B  
7345—5D

④ 公開 昭和55年(1980)12月23日

発明の数 1  
審査請求 未請求

(全 22 頁)

⑤ ディスク・キヤツシユ・サブシステム

⑥ 特 願 昭55—75397

⑦ 出 願 昭55(1980)6月4日

優先権主張 ⑧ 1979年6月4日 ⑨ 米国(US)  
⑩ 455476

⑪ 発明者 パーツラーフ・ブラディミア・  
ホフマイスター  
アメリカ合衆国カリフォルニア  
州サラトガ・テレンス・アベニ  
ュー12309

⑫ 発明者 リチャード・ディビッド・ライ

ザ

アメリカ合衆国カリフォルニア  
州サラトガ・ポンネット・ウェ  
イ18885

⑬ 出 願人 メモレツクス・コーポレーション

アメリカ合衆国カリフォルニア  
州サンタ・クララ・サン・トマ  
ス・アツト・セントラル・エク  
スプレスウエイ(香川なし)

⑭ 代理 人 弁理士 山崎行造 外1名  
最終頁に続く

明細書の添付(内容に変更なし)

明細書

1. 発明の名称

ディスク・キヤツシユ・サブシステム

2. 特許請求の範囲

(1) データ処理装置とともに使用し、予定データを検索するに要する時間を減少するダイレクト・アクセス記憶装置のキヤツシユ・サブシステムにおいて、データを記憶しつづけるダイレクト・アクセス記憶装置; 例に予定データを記憶するデータ・メモリ装置; 例にダイレクト・アクセス記憶装置; 例にデータ・メモリ装置; 並びにデータ処理装置を相互に結合してこれらの間のコミュニケーションを調節する制御装置であつて、例に予定データを例にデータ・メモリ装置から検索するに要する時間が例に予定データを例にダイレクト・アクセス記憶装置から検索するに要する時間よりも短くし得る制御装置を有することを特徴とするキヤツシユ・サブシステム。

(2) 特許請求の範囲第(1)項記載のキヤツシユ・サ

ブシステムにおいて、前記制御装置と前記データ処理装置に接続するに供する接続装置と言ひキヤツシユ・サブシステム。

(3) 特許請求の範囲第(1)項、又は第(2)項記載のキヤツシユ・サブシステムにおいて、前記制御装置は前記ダイレクト・アクセス記憶装置を例にデータ処理装置に接続するダイレクト・アクセス記憶装置と並び前記データ・メモリ装置を前記ダイレクト・アクセス記憶装置に接続するデータ・メモリ制御装置を含み、前記データ・メモリ制御装置は予定データを前記データ・メモリ装置内に記憶せらるよう設計されるキヤツシユ・サブシステム。

(4) 特許請求の範囲第(3)項記載のキヤツシユ・サブシステムにおいて、前記データ・メモリ制御装置は前記ダイレクト・アクセス記憶装置と前記データ・メモリ装置に接続されるマイクロプロセッサ構成; 予定データが前記データ記憶装置内に記憶されらるよう前記マイクロプロセッサ構成を制御するため前記マイクロプロ

- 1 -

- 1 -

マイクロプログラムを含み、前記マイクロプログラムは前記データ・メモリ装置内に記憶されている前記予定データのダイレクト・アクセス記憶装置アドレスを記憶するスクランブル・パッド・メモリ装置を含むキャッシュ・システム。

(5) 特許請求の範囲第(4)項記載のキャッシュ・システムにおいて、前記データ・メモリ装置装置と前記ダイレクト・アクセス記憶装置間の接続を相互に適合するインタフェイス回路装置を含むキャッシュ・システム。

(6) 特許請求の範囲第(5)項記載のキャッシュ・システムにおいて、前記インタフェイス回路装置は前記データ・メモリ装置と前記データ記憶装置、及び前記データ・メモリ装置と前記ダイレクト・アクセス記憶装置間にダイレクト・メモリ・アクセス・データを伝送するダイレクト・メモリ・アクセス装置を含むキャッシュ・システム。

(7) 特許請求の範囲第(4)項記載のキャッシュ・システムにおいて、前記装置記憶メモリ装置

- 3 -

- 4 -

システムにおいて、前記ランダム・アクセス半導体メモリ装置は少くとも第1記憶装置と第2記憶装置を含むキャッシュ・システム。

(8) 特許請求の範囲第(10)項記載のキャッシュ・システムにおいて、前記第1記憶装置は前記第2記憶装置よりも速いデータ伝送速度を有し得るキャッシュ・システム。

(9) 特許請求の範囲第(1)項又は第(2)項記載のキャッシュ・システムにおいて、前記予定データは固定フィールド・ディメンジョンであり、同固定フィールド・ディメンジョンは前記ダイレクト・アクセス記憶装置のデータ・フィールド構成に相当するよう設計されるキャッシュ・システム。

(10) 特許請求の範囲第(7)項記載のキャッシュ・システムにおいて、前記データ・メモリ装置のデータ記憶装置は前記ダイレクト・アクセス記憶装置の記憶容量よりも小であるよう設計されるキャッシュ・システム。

(11) 特許請求の範囲第(1)項、又は第(2)項、又は第

- 5 -

- 6 -

(5)項、又は第(4)項記載のキャッシュ・システムにおいて、前記ダイレクト・アクセス記憶装置は回転磁気ディスク記憶装置を含むキャッシュ・システム。

(12) 特許請求の範囲第(14)項記載のキャッシュ・システムにおいて、前記予定データのユニットが前記回転磁気ディスク記憶装置に記憶されているフル・トラックの情報を相当するよう設計されるキャッシュ・システム。

## 2発明の詳細な説明

本発明は回転磁気コンピュータ・ディスク・メモリの分野に属する。本発明は、中央処理装置によつてしばしば呼び出された情報を、小形の高速半導体メモリによつてより迅速に供給ができる改良されたキャッシングシステム技術に関する。

システム360の導入以来、IBM中央処理装置に入力/出力装置を行つけるための標準規格が確立された。中央処理装置は「チヤキン」を出して周辺入力/出力装置と連絡している。このチヤキンのインターフェイスによつて、中央処理装置からの

と題するメモリックス公報「3673-21-02」に記載されている]である。チャネルのSCUディスク制御装置及びディスク駆動モジュールへの相互接続はノーメンバックス公報「3673/75/70ディスク記憶装置アブシスシステム操作理論」(ノーメンバックス公報「3673-21-02」)に記載されている。

図2のディスク駆動モジュールの取付けられているノーメンバックス3673ディスク制御装置は、図2で示される図のディスク駆動装置がストリング・スイッチとして公報の構成によって図2の記憶装置に取付けられることも公知である。ストリング・スイッチの構成は、インテリジェント(intelligent)インターフェイスを有するハードウェアとマイクロコードの列である。そのインテリジェント・インターフェイスは図2の記憶装置が3673型ディスク制御装置によって制御されると、一ストリングのディスク駆動装置と連携できることとしている。

特定のデータ片の記憶の要求は特定のデータ片の機器の要求はチャネルによって実現される。

- 9 -

指令を読みしかつディスク装置へ命令の書込みを企て又はディスク装置から情報を検索するにはディスク制御装置(SCU)の機能ができる。実際、SCUはディスク制御装置に取付けられ、ディスク制御装置は複数の回転磁気ディスク記憶装置等を収容している。上述の図の記憶装置はノーメンバックス(Memorex)3674記憶装置室〔「3674記憶装置室 Theory of Operation」〕と題するノーメンバックス公報「3674-00」(Memorex Publication 3674-00)に記載されている]である。上述の図のディスク制御装置はノーメンバックスディスク制御装置〔「3673/75/70ディスク記憶アブシスシステム操作理論(3673/75/70 Disc Storage Subsystem Theory of Operation)」〕と題するノーメンバックス公報「3673-21-02」に記載されている]である。上述の図のディスク記憶装置はノーメンバックス3670及び3675ディスク駆動モジュール〔「3673/75/70ディスク記憶アブシスシステム操作理論(3673/75/70 Disc Storage Subsystem Theory of Operation)」〕

- 7 -

ディスク・ストリングは記憶装置室及びディスク制御装置を通して特定の情報片を呼び出すことができる。しかしながら、この操作においては、機器装置の機械的及び電子的記憶に起因して遅れが生じる。また、ディスク記憶装置の機械的記憶により、機器読み取り/書き込み装置ヘッドは、ディスク・スピンドル上に手の記録された複数のトラックにアクセスできる移動カートリッジにかたくなりする。情報を要求する場合、カートリッジがデータの記憶されているトラック上に読み取り/書き込み装置トランスマジューサーをこぶきをかしづしな必要となる。カートリッジがかかるアクセスを完了する所要時間は10ミリセカンドほどか又は50ミリセカンドほどである。更に、特定のトラックをアクセスしたカートリッジが所定の場所に電子的に固定されてアーバグが情報を検索すると、ディスクが重い情報が記憶されている所定の位置まで油圧する間に他の遅れが生じる。ディスク回転遅れ又は「待ち時間(latency)」は機器しゆるものであり又は、3600 rpmで回転す

- 9 -

るディスクに対してせいぜい約17ミリセカンドである。平均して、待ち時間は3600 rpmで回転するディスクに対して約8ミリセカンドである。呼出し時間及び待ち時間は、直立しい仕事を適応するための中央処理装置の性能上の問題となる。更に、ディスク記憶装置はその性質上通常は制御装置を通して一定のデータ伝送速度でチャネルへ情報を伝送する。データ伝送速度はディスク記憶装置に記載されている周波のビット密度と、ディスクそれを自身の回転速度との関係である。ノーメンバックス3670及び3675製品について、データ伝送速度は各々上1秒あたり804000である。しかしながら、チャネルはそれを自身の速度によつて伝送速度は1秒あたり804000バイトよりはるかに大きいことがしばしば生じる。即ち、ディスク記憶装置はチャネル電子工学の最大スピードを必ずしも完全に利用していない。このことは、システムの設計者は経験開発していることである。

ディスク記憶装置は同一の通過時間内に特定の情報片を記憶し又は検索できるダイレクトア

- 10 -

アクセスに寄託型 (CASSO) として企劃であるが、使用者に必ずしもしたば典型的なコンピュータ装置に情報をランダムに記憶しつつ検索することとはしない。実際、ディスク記憶装置は特定のデータ群についてしだしば時間的に「密集 (clustered)」する。このことは、ディスク記憶装置の特定の情報トランクがしだしばアクセスされ又は新たに更新されて、既存バイトの他の情報を辨識することとなる。従つて、「キャッシュ (caching)」の概念は、より頻繁に呼び出される情報が呼び出され、なるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を辨識する確率でその情報を高速バッファに記憶する機能を從来実現されて来た。

カル (Calle) らに対する米国特許第4,075,686号及びシューネマン (Scheuneman) に対する米国特許第4,070,706号は共に、システムの性能を高めるために、最先端位の情報を迅速に呼び出すことできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしながら

-11-

ガル (Gale) らに対する米国特許第4,075,686号及びシューネマン (Scheuneman) に対する米国特許第4,070,706号は共に、システムの性能を高めるために、最先端位の情報を迅速に呼び出すことできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかし、ガルら及びシューネマンはも遠隔操作モード下でシミュレーションを通常のディスク・ストリングに直接適用することについて詳しく比較も示唆していない。チャーチル (Churchill) に対する米国特許第3,949,369号では、高速キャッシュ・バッファを利用してデジタル・コンピューティング・システムが記載されている。チャーチルは、キャッシュ・バッファ中の情報を使用の頻度に基づく情報を基して優先順位システムが確立されるよう実験に構成されていることを示唆している。最も頻繁に使用される情報は最高の優先順位を受ける。一方最も使用頻度の低い情報は最低の優先順位を受ける。もし、高速キャッシュ・メモリ及びその空間内に記憶する必要のある新たな情報を利用できない場合は、キャッシュ・バッファ中に存在する最も使用頻度の低い情報を削除する。リースト・リーセントリ・ユーズド (LRU) アルゴリズムの概念はコードらに対する米国特許第3,757,881号において研究されている。コードらはキャッシュ概念を高速周波パブル・ドメインの情報の「ペ

-12-

ージ」に適用する要件について詳しく述べている。「ページ (page)」とはコンピューター工業において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによって表示された一定の大きさの予め定められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される装置記憶又はバーチュアル・メモリ装置の導入によって、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の頻繁に使用される情報へのアクセスをより迅速とするための手段として、CPUによる大容量ダイレクト・アクセス記憶装置へのアクセスを要求するのとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用して記憶されるページング・システムはスミス (Smith) らに対する米国特許第3,642,348号に記載されている。更に、「見かけ記憶 (apparent store)」

-13-

の概念は、イーデン (Eden) に対する米国特許第3,569,938号によつて示されている。この特許においては、CPUの性能を高めるために、高速記憶をCPUと、なるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先に詳述した全ての文献は、ディスク・ストリングに有効に適用されるLRUアルゴリズムを利用する高速半導体キャッシュ・メモリを適用することについては、開示も示唆もしていない。

本発明（以後、同「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ）はディスク・ドライブのストリングのディスク制御装置に設置された高速半導体メモリ装置を利用して、頻繁に要求されるデータへのアクセスを、要求のかかる装置を使用しないで達成できるよりも迅速に行なえるようとするものである。ディスク・キャッシュは4つの主な構成要素から成つている：

1. ディスク制御装置に対するインターフェイス
2. キャッシュ・コントロール・マイクロプロセ

-14-

## フタ

3. ロード/セキュ・マイクロプロセッサ

4. キヤンシユ・メモリ

インタフェイス(1)はディスク制御装置内のディスク・キヤンシユを操作するためのコントロールバス電子工学及びデータ・バス電子工学から成っている。かかる場合に、記憶制御装置はディスク・キヤンシユ又はディスク・ストリーディスクかに通達することができる。更に、ある条件の下では、ディスク・キヤンシユはディスク・ストリーディスクと通達するよう制御することもできる。また、記憶制御装置を「ストリーディ・ビジー(striking busy)」の状態にくることもできる。また、ディスク・キヤンシユがストリーディ・システムから効率的に分離されて、記憶制御装置の指令が車両ディスク制御装置からディスク記憶装置へ「バス・スルー(pass through)」できるようとする。

キヤンシユ・コントロール・マイクロプロセッサ(2)は基本的には高速ビット・ライス・マイ

-15-

クロプロセッサ、スカラシティ・パンド・メモリ及び記憶装置の組合体である。キヤンシユ・コントロール・マイクロプロセッサは、記憶制御装置の指令に対応するディスク・キヤンシユの起動及びキヤンシユ・メモリ内のデータ・セシユールの記憶を操作するためのマイクロプログラムを使用するディスク・キヤンシユ・システムの中心構成要素である。

ロード/セキュ・マイクロプロセッサ(3)は、キヤンシユ・コントロール・マイクロプログラムを外部記憶装置から書き込み可能制御回路ノモリへ送達するよう設計されている構成要素の組合体である。

キヤンシユ・メモリ(4)は、中央処理装置上に付けて最も頻繁に要求される情報を記憶するもので使用される高速半導体メモリである。キヤンシユ・コントロール・マイクロプロセッサなどの情報を受け渡すべきが決定するとともに、その情報がディスク記憶装置上で設定されたときにデータ・セシユール・アドレスのトラックを操作する。

-16-

ディスク・キヤンシユ・システムはマイクロプログラムの制御下にある。肝要な実施例においては、リースト・リーセントラ・ユーズド(略して、LRU)アルゴリズムをプログラムして、ディスク・キヤンシユが最も頻繁にアクセスされるデータ・セシユールを記憶したキヤンシユ・メモリから信頼性の高いデータ・セシユールを用意するようとする。

もしデータ・セシユールがディスク・キヤンシユ内にあり、このことがCPUにより選択されるならば、そのデータ・セシユールはディスク・キヤンシユから記憶制御装置へ、更にはCPUへ直接伝達される。かかるデータの伝達はディスクの回転によってだけ調節される通常で、「ダイレクト・メモリ・アクセス」を通してディスク・キヤンシユ・メモリから記憶制御装置へ伝達されることはディスク・キヤンシユ・システムの機能である。

更に、もし特定のデータ・セシユールがキヤンシユ・メモリ内にあり、そのデータ・セシユール

の一箇がCPUによって要求されるならば、ディスク・キヤンシユの機能によつて、データ・セシユール内において直接最も高い情報へスキップできるという利益が生ずる。このデータ・セシユールの利益は、データ・セシユールが、ディスクの回転で供給するというよりも単なるアドレスの通じてアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

更つて、本発明の目的は、コンピュータ・システムの中央処理装置が今まで以上に頻繁に使用されるデータに迅速にアクセスできるようになるとことである。

本発明の今一つの目的は、マイクロプロセッサの制御の下に高速半導体メモリを利用して、頻繁に使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムによつてキヤンシユ・メモリ内の情報のに優れ調節することである。

更に、本発明の今一つの目的は、ディスク・キヤンシユとディスク・ストリーディスクのディスク

-17-

-305-

通常に設置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク制御装置と連絡できるようになるとある。

### 詳しき実用図書

#### その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーションナル・ハードウェア・コード
4. ディスク・キャッシュ・アプリシステム・ソフトウェア
5. 記憶管理
6. タグ・ゼロ指令
7. 可変データ速度

#### 1. 一般

第1回(先行技術)を適用すると、公知のデータ処理システムが、メモリ・バス(4)を経由してメイン・メモリ(6)と連絡している中央処理装置(2)を有するものとして表示されていることが分かる。中央処理装置(2)は別に入力/出力バス又は

-19-

STK 08835-164958(6)  
チャネル・バスに接続した主な装置(10)と連絡している。データをディスクに書き込む又は、その媒体に書き込みたいと意ひとときだ中央処理装置(2)は通常の指令を見る。その指令は記憶制御装置(10)によってアドレスされると、装置の盤面持続の一連の命令に翻訳される。この場合、記憶制御装置(10)は中央処理装置(2)からの指令をディスク制御装置(12)の機械である命令に翻訳する。記憶制御装置(10)はシステム CTL インタフェイス(15)とそつてディスク制御装置(12)に連絡している。記憶制御装置(10)からの命令に更に翻訳されかつディスク制御装置(12)によって実現されて、特定の情報がディスク駆動インターフェイス(15)を経由して、ディスク・ドライブ(14)へ書き込まれる。ディスク・ドライブ(14)から読み出される。ハードウェア・インターフェイス及びデータを含む先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に記載されてゐる。

第2回を参照すると、本発明のディスク・キャ

-20-

ッシュ・システムが第1回に示される従来のシステムと類似していることが分かる。しかしながら、ディスク・キャッシュ(16)は構成要素として、キャッシュ CTL インタフェイス(78)を経由してディスク制御装置(20)に接続されている。実際上、ディスク・キャッシュ(16)はドライブ・コントローラー・ロジック(第6回の62)及びディスク駆動装置(14)の前段位臵している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして開示されるゆづくりした方の盤面と、メイン・メモリ(6)で示される早い方の盤面との間の記憶系のレベルを示している。ディスク・キャッシュ(16)はデータ・セジユールと並列するものを利用してされる内部情報を含む。このデータ・セジユールは接続されたディスク制御装置(20)と接続されたディスク・ドライブ(14)のストリングとによって分離されている。ここで使用するデータ・セジユールは固定ブロック又はいくつかの便宜上の大きさのデータ単位に対応する一般的な用語である。

-21-

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と連絡すると、ディスク・ドライブ(14)の回転速度に対して制限された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の人力/出力操作は、以下の可変データ速度の値で更に十分説明する先行技術のコンパクタリゼーション及び構成で可能である伝送速度よりもはるかに高い伝送速度(これは、並下した「待ち時間」に相当する)で行なわれる。

CTL インタフェイス(78)を経由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングと並列するよう接続されたディスク・キャッシュ(16)を含む第2回のシステムにおいては、操作は一般に以下の通り行なわれる。

データ读取操作について、CPU(2)はチャネル・バス(8)を通して記憶制御装置(18)に対し、ディスク・ドライブ(14)上の一定のデータ・セジユールの入力/出力を要求する。記憶制御装置(18)は CPU(2)の要求をディスク・キャッシュ(16)に

-22-

-306-

よつて受容し得る一群の指令に固執する。第5圖を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステム CTL インタフェイス(13)及びキャッシュ CTL インタフェイス(78)を通じて記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュ CTL インタフェイス(78)及びバス(15)を通じてディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを復元しそしてディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(16)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特徴の実施形態に応じて変化し、その順序は明らかにマイクロプログラムで供給している。

-23-

もし中央処理装置(2)が記憶装置の情報を更新したい場合(即ち、「書き込み」動作の実行)、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で通常行なわれるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直接更新し若しくな書き込みができる(ディスク・キャッシュ・システム操作の順序はマイクロプログラムで供給している。)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)へ書き込まれる場合、その情報は永久記憶用のディスク・ドライブ(14)で通常通れて転送される。

一定のデータ処理領域において、記憶制御装置を使用しなくともよいこと、またその記憶制御装置の情報又は操作を中央処理装置内に記憶できることも本発明の範囲内である。第4圖を参照すると、ディスク・キャッシュ(16)がキャッシュ CTL インタフェイス(78)を通じて適当なデータ制御バス(15)にそつて直接中央処理装置(36)と連絡できることも本発明の範囲内である。この実施形態に

-24-

おいては、中央処理装置(36)は適当な情報を含み入力/出力バス(15)を通してディスク・キャッシュ(16)と直接連絡することができる。ディスク・キャッシュ(16)はその他のディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と連絡する。

更つて、最も一般的な実施形態においてディスク・キャッシュは一定の環境の下で使用連絡することができないような高速度で入力/出力バスシステムから情報を復元できるようにする入力/出力バスシステム構成内に導入された、即ちでディスク制御専用かつ高速なメモリである。

## 2. ディスク・キャッシュ・ハードウェア

ここで示すディスク・キャッシュ・システムは、ハードウェア及びソフトウェア技術を組合わせて上述の最もしい目的を達成する装置である。この装置の特定の実施について多くのお話がある(この場合は、ハードウェアである)が、詳細であることが分つている第2圖のディスク・キャッシュの実施形態について第3圖に示して

-25-

いる。ディスク・キャッシュ・システムの主要なハードウェア構成要素が、インタフェイス・コントロール・ロジック(48)、ディスク・キャッシュ・ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)、ロード/モータ・マイクロプロセッサ(52)及びキャッシュ・メモリ(54)から成つてゐることが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)とディスク制御装置(20)との間のインターフェイス(48)である。キャッシュ CTL インタフェイスはディスク・キャッシュ・システムのデータポートメント機能を第6圖で示されるディスク制御装置に提供する機能を示す。この制御装置は、メモリクス公報 367521-03で一般に定義されるメモリクス 3675ディスク制御装置のようなものである。第6圖で示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインターフェイス(58)の付加によってディスク制御装置の CTL インタフェイス内に取付けられるよう

-26-

ルモトやヤフシユ CTL ライン (74) によってダイスク・ヤヤフシユから提供される。

ダイスク・ヤヤフシユ (16) の第 2 の主要なハードウェア構成要素は第 5 図 (より詳しくは第 7 図) のダイスク・ヤヤフシユ・コントロール・マイクロプロセッサ (50) である。所定の実験操作において、第 7 図のマイクロプロセッサ (70) として、1 秒毎に 4,000,000 の命令の許容度を有する高速ビット・ライス・マイクロプロセッサを使用することが好適であると分つた。この用途の実験操作に対しては、LSI プロセッサ・チップのアドバーンスド・マイクロ・デバイス 2900 アミリー (Advanced Micro Devices 2900) から発表した市販のマイクロプロセッサを使用することが好適であることが分つた。しかしながら、四の多くのプロセッサの設計は、ダイスク・ヤヤフシユ・タスクを扱うことであり、ダイスク・ヤヤフシユ・サブシステムの操作の範囲内である。ダイスク・ヤヤフシユ・コントロール・マイクロプロセッサ (50) の基本タスクは、

-28-

-27-

(1) 第 6 図のヤヤフシユ CTL インタフェイス (70) からのコントロール及びデータ転送指令に対する応答、

(2) 第 5 図及び第 7 図 (以下で記述) のヤヤフシユ・メモリ (54) 内に記入する利用可能なデータのダイレクトリの維持、

(3) 最も要求されると思われるダイスク・ドライブ・データによるヤヤフシユ・メモリ (54) の削除及び充填 (以下で記述する)、

(4) エラー検出及びリカバリ操作、及び

(5) 情報データのロード/セータ・マイクロプロセッサ (52) への送信、

がある。

ダイスク・ヤヤフシユ・サブシステムの最も新しい実験例における第 5 のハードウェア構成要素は、第 5 図に示すロード/セータ・マイクロプロセッサ (52) である。同様ロード/セータ・マイクロプロセッサ (52) の大きさ、インテル 8080A マイクロプロセッサを採用することが通常であることが判明している。同様インテル 8080A は価格 200 万

サイクルの間で作動する完全な 8 ビットの中央並列処理装置である。

前述インテル・マイクロ・プロセッサの代りに用いることが出来、経済的に利用可能な他のマイクロプロセッサも存在する。前述ロード/セータ・マイクロプロセッサ (52) の基本的操作は、(1) フレキシブル・ダイスク・ドライブ (84) (後述する) より得られたコントロール・メモリ・インターフェンスの負荷測定と、(2) 前記ダイスク・ヤヤフシユ・サブシステムの動作モード作成を行うことである。

第 5 図に示された前記ダイスク・ヤヤフシユ・サブシステムの最後の主要なハードウェア構成要素は前記ヤヤフシユ・メモリ (54) である。特にダイスク・ヤヤフシユの最も新しい実験例において、前記ヤヤフシユ・メモリ (54) は 2 つの半導体メモリで構成されている。半導体メモリの第 1 の回路は、第 7 図に示されているル・ランク・パラフィア (86) である。本回路の思想からは必ずしも規定されるものではないが、2 つの回路の

-29-

-30-

半導体、ヤツシユ・メモリ(54)から構成されており、また同じく、本発明の思想から必ずしも規定されるものではないが、ディスク・ヤツシユ(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前にディスク・ヤツシユのハードウェアをそのように構成することが便利であるということが開示している。

このようだ、第1の回路の半導体メモリ、即ち前記フル・トラック・パフア(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを含んでおり、他々のスタティック又はダイナミックなランダム・アクセス・メモリ・チップから構成することができる。前記フル・トラック・パフア(86)はインテル2147又はインテル2117の集成回路から構成されるのが適切であるということが判明している。第2の回路のヤツシユ・メモリ(54)は近接距離で構成されており、電荷移動素子(CDOS)は前記ヤツシユ・メモリ(54)の近接水準用として採用され実現している。

-31-

当別の実施例においては、12ノードバスまでの電荷移動素子が、フェアチャイルド464の電荷移動素子を用いた型式が用いてある。(各箇所に最高64,000ビットの情報を記憶することができる。)更に、前記ヤツシユ・メモリ(54)は複数の2つの回路のスリー・メモリ構造構成のディスク・ヤツシユ・システムであり、その中で少しある記憶の第1の水準は前にディスクに記憶室(14)であり、その次のメモリの2つの階級に上位した半導体メモリである。以下に述べる通り、前記ヤツシユ・メモリ(54)の機能は、各回路コンピューター・システムにとつて要求される並行性が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)

第7と及び第7の回路を参照すれば、ディスク・ヤツシユ(16)の主要なハードウェア構成要素のより詳細な定義が判る。第7と及び第7の回路に記を適用するため以下の定義が有益である。

インターフェイス 90：情報バスを発生させるた

-32-

#### で設定されるもの

ヤツシユ・コントロール・マイクロプロセッサ(76)はいかなるドライブがヤツシユされるべきかを決定するため、このレジスターをモニタする。

オペレータ・パネル 104：入力スイッチとセドライプのためのヤツシユ町印スイッチを含むしている。

ドライブ・ダイレクト・メモリ・アクセス 94：記憶要求・ロジックと、ヤツシユ・メモリ(54)とディスクドライブ(14)のMのデータ伝送を制御するためのアドレスとクードの計算用と記憶する典型的DMA(ダイレクト・メモリ・アクセス)ポート

ヤツシユ・コントロール・マイクロプロセッサ 76：AMD 2900ファミリのLSIプロセッサ。チップを利用した毎秒400万命令を処理する。ビット・ライス・マイクロプロセッサ。コード/セキュタマイクロプロセッサ 82：基本的構成要素としてインテル6000Aチップ

-33-

CPU を有するマイクロプロセッサ  
2 メガヘルツで作動し、記憶制御のため、28  
× 8 の EPROM を有する。

スクラップテ・パッド 96 : キヤンシユ・コントロール・マイクロプロセッサ (76) を交換するための 8 K × 16 のスタティック RAM メモリ  
スクラップテ・パッド : ロード / モニタ・マイクロプロセッサ (82) との通信のための  
フレキシブルディスク・ドライブ 84 : マイクロプログラム・ロードのために用いられるフレキシブル・ディスク・ドライブ  
標準型のメモリエクスパンションカード 550 部を利用可。  
エラー・コレクション・コード 106 (ECC) : 単一ビクト・エラー・コレクション及び二重ビクト・エラー・ディテクションに用いられるエラー・ディテクション・コレクション・ロジック ('ハミング・スケーム')  
フル・トランク・バス 86 : インチル 2147 チップを使用した 4 K × 40 ビクト (ECC を含む) のスタティック RAM メモリ

-39-

補助多選電子メモリ 88 : フニアチャイルド CCD を用いた 1 乃至 12 メガバイトの CCD メモリ  
基本データ・バス 108 : SCU 又はドライブ DMA ポートとフル・トランク・バス (86) の間のデータ伝送のための二方向データ・バス  
基本アドレス・バス 110 : SCU DMA (92) 又はドライブ DMA (94) からフル・トランク・バス (86) へ供給されるトライ・スタート・メモリ・アドレス  
C-バス 138 : フル・トランク・バス (86) と CCD メモリ (88) の間のデータ伝送のための二方向データ・バス  
C-バス 140 : キヤンシユ・コントロール・マイクロプロセッサ (76) に用いられる全てのカントロールポートのためのトライ・スタート・ソース・バス  
C-バス 142 : キヤンシユ・コントロール・マイクロプロセッサ (76) に用いられる全てのカントロールポートのためのトライ・スタート・デストライ・ーション・バス

-38-

B-バス 144 : フル・トランク・バス (86) に用いられるトライ・スタート・データ・バス  
メモリ・アドレス・バス 148 : キヤンシユ・コントロール・マイクロプロセッサ (76) に用いられるアドレス・バス込み可逆調査記憶 (100) に用いられるメモリ・アドレス・バス  
バイオブレイン : バイオブレイン・インストラクション・バスでそれにより、  
バス 150 : キヤンシユ・コントロール・マイクロプロセッサ (76) が書き込み可能調査記憶 (100) から、ゼロマイクロインストラクションを得て、スクラップテ・パッド (96) と交換するバイオブレイン・インストラクション・バス  
キヤンシユ・バス・ライン 150 : 8 ビクトの 'bus-in' data bus (8 bit "bus-in" data bus) これはキヤンシユからシステム SCU へデータを伝送するためのシステム CTL ライン 72 データ 'bus-in' である。  
バス・ライン 152 : 8 ビクトの 'bus-in' データ・

-37-

バス (8 bit "bus-in" data bus) これはディスク・ドライブからキヤンシユ・メモリヘデータを伝送するため用いられるキヤンシユ・CTL ライン 74 データ 'bus-in' バス・アウト 156 : 8 ビクト 'bus-out' からデータ伝送及びシステム SCU (18) からディスク・キヤンシユ (16) への制御命令データのため用いられるシステム CTL ライン 72 データ・アウト  
キヤンシユ・バス・アウト 158 : 8 ビクト 'bus-out' 、即ち、ディスク・キヤンシユ (16) ドライブ・ドライブ (14) を制御する既定データと制御命令のために用いられるキヤンシユ CTL ライン 74 バス・アウト  
CTL ライン 160 : インターフェイス 90 ロジックにおいて発生する CTL インターフェイス制御 ライン  
キヤンシユ・コントロール・ライン 70 : 先頭のインターフェイス・コミュニケーション・バスを構成するため用いられるインターフェ

-38-

-310-

1ス(58)のマムテブレクターの効果を弱めす  
るためのディンターフェイス・ロジック内でキ  
ヤンシユ・コントロール・マイクロプロセッ  
タ(76)により発生せしめられる一連の制御信  
号

ac<sub>1xx</sub>: 第7回図において、BC<sub>1xx</sub>として示され  
る全ての場合は、バス又はコントロール・コモ  
デュケーション・バースが存在していること  
を示しているが、ここでは明確には定義しな  
い。

本発明を更に十分説明するため第1、第2  
及び第7回図は、断る出力示すように記載され  
る。

第7回及び第7回図に従し、マイクロプロセッ  
タ(76)はディスク・キヤンシユ(16)の制御機能を  
行う。マイクロプロセッタ(76)は、トライス  
テートの16ビットのデータ・バス(140)を経由  
して全てのエクステナナル・データを受け入れ、  
16ビットのトライステート・アウト・ポート・  
データ・バス(142)を経由して全てのエクステー  
-39-

タル・ポートへ書き込む。上述の二つ、ディスク  
・キヤンシユ・システムの基本的な機能の一つはデータ伝送と第2章のシステムに電気回路ニ  
クト(18)から、キヤンシユ CTL インタフェイス(78)  
を経由して受け入れられる制御指令に応答するこ  
とである。前記キヤンシユ・コントロール・マイ  
クロプロセッタ(50)は、インタフェイス・コント  
ロール・ロジック(48)から機器が前記キヤンシユ  
CTL インタフェイス(78)までから受け入れマンス  
テム指令をモニタする。キヤンシユ・コントロー  
ル・マイクロプロセッタ(50)は、インタフェイス  
・コントロール・ロジック(48)の中の制御記憶  
體に適切な応答をモニタすることにより命令に応  
答する。これらの指令は、さらに、先で説明した  
定されている CTL インタフェイス規格により要求  
されて、キヤンシユ CTL インタフェイス(76)へゲ  
ートされる。

マイクロプロセッタ(76)は、書き込み可能制御  
回路(100)からバイオライン・バス(140)に沿つ  
てマイクロ指令を受け入れる。マイクロプロセン  
-40-

タ(76)はメモリ・アドレス・バス(146)を経由し  
て書き込み可能制御回路(100)をアドレスする。ス  
クラフタ・パンド(96)は、その構成においてキヤ  
ンシユ・メモリ(54)の中を現在している一連のデ  
ィスク・ドライブ・トラフタ・アドレスを記憶す  
るため、主にマイクロプロセッタ(76)により使用  
される。スクラフタ・パンド(96)に記憶されてい  
る前記トラフタ・リスト・アドレスは、キヤンシ  
ユ・メモリ(54)内のデータがアクセスされるのに  
応じて、複数のマイクロプロセッタ(76)により  
ダイナミクに更新される。

マイクロプロセッタ(76)はスクラフタ・パンド  
(96)をアクセスするためヨリ・バス(140)とヨ  
・バス(142)を用いる。更に、他の構造あるディス  
ク・キヤンシユ・コントロールデータは、ディス  
ク・キヤンシユ・マイクロプログラム(後述する)  
によって記憶されるスクラフタ・パンド(96)内に  
記憶される。マイクロプロセッタ(76)はまた、自  
由度ストリング上のどのディスク・ドライブ(14)  
が“キヤンシング”を受けやすいかを決定して、メ

ンライン・レジスタ(102)の中にその情報を保管  
する。前記記憶制御ユニット・ダイレクト・メモ  
リ・アクセス(92)とドライブ・ダイレクト・メモ  
リ・アクセス(94)は前記フル・トラック・バッフ  
ア(86)と同様システムに記憶制御ユニット(18)とテ  
イスク・ドライブ(14)の各々の間のデータ伝送の  
ため用いられる。前記ダイレクト・メモリ・ア  
クセス・ポートはヨリ・バス(140)とヨ・バス(142)  
を経由して、マイクロプロセッタ(76)によりプロ  
グラムされ、モニタされる。

フル・トラフタ・バッファ(86)は、前記基本ア  
ドレス・バス(110)を経由してアドレスされ、そ  
の内容は、基本データ・バス(108)を経由してい  
ずれかのダイレクト・メモリ・アクセス・ポート  
へ向かって、又はそこから転送される。

フル・トラフタ・バッファ(86)とCCDメモリ(88)  
は共通のエラー検出及び訂正ロジック(106)を共  
有している。フル・トラフタ・バッファ(86)とCCD  
メモリ(88)の間のデータ伝送は、当該段において  
マイクロプロセッタ(76)により制御される2万回

内のみ 610 で相互に接続されるもよう示された。且 610 は複数電路接続体でなくて、以下に説明されるようだ。ハードウェア操作モードに従つて変化する組合体である。

ディスク・チャփシユ(16)を操作するのに基本的には 4 種のハードウェア操作モードがあり、これらは本発明を実施する場合に達した記述部装置(18)からの指令によつて決定される。すなはち、  
(1) タグ・ゼロモード

第 9 図に示されるタグゼロモードにおいて、タグ・ゼロ指令を除くすべてのタグ指令(以下に記載される文節の表記では単にタグゼロ指令と記す)は記述部装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に、またバス(15)を経つてディスク・ドライブ(14)に伝送される。タグ・ゼロ指令を除くすべての指令に対して、ディスク・チャփシユ(16)は事实上ストリーリング上に存在しない。しかしながら、タグ・ゼロ指令は記述部装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に伝送されなければ、ディスク

- 66 -

- 43 -

## ② 記述部装置(8C)モード

ディスク・チャփシユ(16)が SCU モード(第 10 図)の時は、すべてのタグ指令は記述部装置(18)からインタフェイス(15)を経つてディスク制御装置(20)に、またインタフェイス(78)を経つてディスク・チャփシユ(16)に伝送される。このようだ、タグゼロモードは、タグゼロ指令を除くすべてのタグ指令がディスク制御装置(14)に伝送されるが、ディスク制御装置(20)がタグゼロ指令をインタフェイス(78)を経つてディスク・チャփシユ(16)へ伝送するハードウェアモードとして選択されよう。タグ・ゼロ指令はディスク・チャփシユ(16)からインタフェイス(78)を経つてディスク制御装置(20)に伝送されるとともにインタフェイス(15)を経つて記述部装置(18)に伝送されるから、タグ・ゼロモードはタグゼロ指令がディスク・チャփシユに伝送されることを除いては、タグ指令が本発明のディスク・システムにおいて使用の方法と同様に操作されるハードウェアモードとして選択されよう。

- 68 -

- 68 -

フュ・サブシステム・ソフトウェア」の組合せされるようだ。通常なタグ・ゼロ命令が記憶装置(18)によって発信されると共に、マイクロプログラムが前述のマイクロプログラム状態から変化してサブシステムのハードウェア操作モードで変化する。

#### 4 ディスク・キヤフュ・サブシステム・ソフトウェア

この発明によるディスク・キヤフュの概念は種々の方法で実現される。特に適した実用例でない前述のハードウェアはマイクロプロセッサ(76)によって指定される書き込み可逆の別途記憶装置(100)にディスク駆動装置(84)に送られるマイクロプログラムと連絡して作用する。この発明の好適実用例におけるマイクロプログラムにおいては、所要の機能達成のソフトウェア・コンディションを示す4個の「スタート」を作成する。ここで「スタート」とは外部入力によって変化することがなければマイクロプログラムのコンディションが変化しないことを意味する。第13図において、4個

-68-

-67-

の最も新しいマイクロプログラム・スタートが例示される。すなわち(1)待ちスタート(400)、(2)通常スタート(414)、(3)アクティブ・スタート(424)及び(4)バッファ・スタート(432)。

待ちスタート(400)において、ディスク・キヤフュ及びディスク・サブシステム全体は記憶装置(18)とディスク駆動装置(20)との間のシステム CTL インタフェイス(15)が停止していることによって证明されるような「停止」コンディションである。第13図に示されるように、待ちスタート(400)は CTL インタフェイス(78)の通常操作機能の状態から始まる無限プログラムループと解釈される。上に通常操作機能が低い、すなわち「no」コンディション(402)であるならば、マイクロプログラムは「走査タイムアウト」(404)に対する命令を開始する。もし、ディスク・キヤフュ・サブシステムが「停止」コンディションに止まつて走査タイムアウトが作動して「no」コンディション(406)であるならば、ディスク・キヤフュ・サブシステムは走査機能(408)のモード

-68-

に入り、ここでディスク・キヤフュの内部「ハウス・キーピング」機能が作動する。走査処理(410)が完了すると、マイクロプログラムは待ちスタート(400)に復帰し、第6回に示すシステム CTL インタフェイス(15)上の通常操作状態を再び監視し開始する。走査処理(408)はマイクロプログラムが「安定」コンディションに入る「スタート」ではない。すなわち、走査処理(408)はプログラムシングルが常に実施コンディションに向つて進みかつ待ちスタート(400)に復帰する作用は過ぎない。走査処理は前述のハードウェア操作モードに最低のマイクロコードの作用であり、待ちスタート(400)はハードウェア・タグ・ゼロ・モードとして選択されよう。

通常操作機能が待ちスタートの間に高くなつて「yes」スタート(412)になると、ディスク・キヤフュ・サブシステムは「通常」スタート(414)に入る。「通常」スタート(414)は通常操作機能が高いスタート。すなわち通常操作機能が監視時に選択されたすべてのストリングモード

-69-

の場合のようだハードウェア・タグ・モードである。

「アクティブ」スタート (424) にて、記憶装置室 (18) がすでに特定の命令実行装置 (20) を通じてマイクロプログラム・コンディションとして定義される。上に記述装置 (20) は、ディスク・ストリーミング・システム (4) とマイクロプログラム (16) が実現されるならば、タグ・ゼロ「アクティブ」スタート (424) によってディスク・キャッシュ (16) が初期化される。「アクティブ」スタート (424) において、ディスク・キャッシュ (16) は記憶装置室 (18) 及び記憶装置 (20) 内でのデータ処理操作について発生するすべての命令を直上及び入力受信する。これは「キャッシュ」スタートと称してもよく、王・キャッシュ操作スタートとして呼べるようだ。ハードウェアにおいては、前述されたようだ「記憶装置モード」である。「アクティブ」スタート (424) の間で、タグ・ゼロ「バックアップ」命令 (425) がディスク・キャッシュ (16) にマイクロプログラム (426) によって登録されない時は、

- 52 -

の 1 回を通過することを報告するスタートとして定義される。過式スタート (414) の間に常に過式保持域のコンディションが監視される。過式保持域が「高い」スタートに達む時は、過式保持は「インアクティブ」スタートとなり、第 1 3 回で示される「yes」 (416) のスタートによってディスク・キャッシュ・マイクロプログラムは待ちスタート (400) に復帰する。もし、過式保持域が「低い」スタート、すなわちインアクティブ・スタート (418) のままである時は、マイクロプログラムはタグ・ゼロ命令が第 6 回のキャッシュ CTL インタフェイス (78) 上あるのを監視する。タグ・ゼロ「アクティブ」命令を受信しない (420) ならば、マイクロプログラムは、「過式」保持が「インアクティブ」スタートすなわちマイクロプログラムが待ちスタート (400) に復帰するスタートに達むのではなければ「過式」スタートに停止する。もし、タグ・ゼロ保持命令を受信する (422) ならば、マイクロプログラムは「アクティブ」スタート (424) に入る。過式スタート (414) は待ちスタート (400)

- 51 -

ディスク・キャッシュはディスク・キャッシュ指令 (428) を実行する。第 1 3 回で示されるようなディスク・キャッシュ指令 (428) の実行は「スタート」ではなく、正しくは機能を実行するマイクロプログラムのコンディションであり、完了後、マイクロプログラムは「アクティブ」スタート (424) に復帰する。キャッシュ指令の実行はハードウェアにおいては「記憶装置モード」と考えられる。「アクティブ」スタート (424) の間で、タグ・ゼロ「バックアップ」命令が受信される (430) 時は、マイクロプログラムは「バックアップ」スタート (432) に入る。

「バックアップ」スタート (432) は、記憶装置室 (18) がディスク・記憶装置 (14) と直接に通信不能であるマイクロプログラム・コンディションとして定義される。このコンディションは、ディスク・キャッシュがすべての命令を受信し、記憶装置室 (18) とディスク・記憶装置 (14) との間で直接に全く通信ができない「アクティブ」スタート (424) と区別されることに注意されたい。「バックアップ」ス

- 53 -

タート (432) の開始前に、記憶装置室 (18) が肯定化のタグ・ゼロ命令を発生させてディスク・キャッシュ・マイクロプログラムを「バックアップ」スタートとし、記憶装置室 (18) とディスク駆動装置との間を直接に通信伝送させる（タグ・ゼロ「バックアップ」命令 (430)）。「バックアップ」スタート (432) において、ディスク・キャッシュ (16) はタグゼロ命令を直接受信する（ハードウェア・タグゼロモード）。タグゼロ「アクティブ」命令が第 1 3 回で「yes」 (434) で示されるようだ受信されるならば、ディスク・キャッシュ (16) は「アクティブ」スタート (424) に復帰する。タグゼロ「アクティブ」命令 (437) が「バックアップ」スタート (432) の間で受信されならば前述の過式保持域の状態が監視される。もし、過式保持域が「バックアップ」スタートの間で「アクティブ」アノルム (439) に達むならば、ディスク・キャッシュ・マイクロプログラムはタグゼロ「アクティブ」命令を受信しうる状態にならぬ。実際タグゼロ「アクティブ」命令が受信（すなわち yes (434)）される

- 54 -

- 314 -

ク・パンフア (86) に入れられた・ランクに過ぎずするようだと思われる。元年記録 (442) の元で見て、マイクロプログラムは明らかにスタート (400) を選択して、再び通常操作の状態を実現する。「ハードウェア」においては、完機動 (442) が実現されるとディスク・チャփシユはディスク・ストリング・サブシステムを制御する。完機動 (442) の間に、記憶装置 (18) はディスク・ストリングと通信せずに、「ストリング不足」コンディションがストリングに取付けられた記憶装置に對して存在する。

次つて、ハードウェアとディスク・チャփシユ・サブシステムのマイクロプログラムとは一意的に以下のよう応答することが実現されるよう。

時間 T<sub>0</sub> : 通常操作「アクティブ」がディスク・チャփシユ (16) によって記憶装置 (18) から受取られる。

時間 T<sub>1</sub> : タイゼロ指令が記憶装置 (18) から受信される。

時間 T<sub>2</sub> : チャփシユ・マイクロプログラムは

-36-

-35-

ii)

(必要に応じて) スタートを変化させる。

時間 T<sub>3</sub> : チャփシユはハードウェアが方式を変化することを要求する。

時間 T<sub>4</sub> : 指令が実行される(マイクロプログラムは新スタートであり、ハードウェアは新モードにある)。

時間 T<sub>5</sub> : 处理は第 13 国に表示されるように必要に応じて進行する。

この発明のディスク・チャփシユ・サブシステムを実現するため実現した実施例は構成記述その他のプログラム等正確度を有して操作性を高めている。マイクロプログラムに対する適切な記述構成は前述されたとともに第 13 国に表示されてゐる。

### 5. 記憶装置管理

ディスク・チャփシユ・サブシステムはチャփシユ記憶装置を管理するための一組の第 13 国のストラッテ・パッド (96) 内にあらわすテーブルを使用する。本実例では、目的を達成するための

-37-

インプリメンテーションが可能であるが、最もしいディスク・チャփシユ記憶内で特に記憶装置を管理することが通しているものと知られる。チャփシユ・メモリ (54) 内にあらわすデータセグメントは任意寸法の別種の情報装置から選択されうるけれども、最も新しい実施例においては CCD 記憶装置 (88) はフルトラックの情報とさむ。この情報はメモリクス 3670 及び 3675 のディスク記憶装置の場合は 15030 個の情報ペイトで選ばれる。各データトラックはディスク記憶装置 (14) から導入される。CCD 記憶装置 (88) 及びフルトラック・パンフア (86) 内に記憶されるセータトラックは該データの正確性に對する必要性によりて作られたマイクロセッタ (76) が使用されるテーブル中に対応エンターリーを有する。

ディスク・チャփシユ・ストラッテパッド (96) は 3 組の形式の記憶装置管理テーブル、すなわちダイナミック・テーブル、トラック・ランク・テーブル及びからの記憶装置リストを管理する。上にダイナミック・テーブルはチャփシユ記憶

-38-

-315-

STK V. EMC  
STK 08844

表 (54) の使用基準に沿つて選択的に更新される。この目的のため公知の LRU 算法を使用することが有利である。上記トランク・リスト・テーブルは CCD ピッヂ表 (88) 中キヤンシユ記憶装置 (54) にて「ロック」される部分のためのパラメータを含む。この範例においては、トランクセキヤンシユ中で「ロック」するとは、データトランクが上位ダイナミック・テーブルの種々のような算定に基づいて空換されないとを意味する（すなわち、キヤンシユ記憶装置 (54) 中に永久に存在する）。上記からの記憶装置のリストは CCD ピッヂ表 (88) 内に利用空間のトランクを保持するテーブルである。からの記憶装置を表示するテーブルの内容は現在使用されてからず、反対にディスク駆動装置 (14) からのデータで充填されるべく利用される記憶装置である。

キヤンシユ記憶装置 (54) 中に記憶されたすべてのデータトランクはダイナミック・テーブル内の対応エントリーを有し、各エントリーは該装置のパラメータ又は項目を有する。2個のパラメータ

- 59 -

は上記テーブルでトランクの数もおおへ用意され、最も古い用伝代並びにリンクを示す。データトランクがキヤンシユ記憶装置 (54) から要求される度ごとく、このトランクで囲まれる項目が上位リストの頭部にかかる（すなわち最も詳しく使用される）、リストの底の項目の項目は最も古く使用されたものとなる。他のパラメータはディスク記憶装置 (14) 代用先特定のシリンドアドレス、ヘッドアドレス及び位置アドレスへのディスクトランクに固める情報を含む。これらと一緒に作成して、アドレス・ポインタがダイナミック・テーブルの項目を公知のリンク連鎖操作によつてリンク連鎖する。

キヤンシユ記憶装置 (54) が充填され、他のデータトランクをディスク記憶装置 (14) からキヤンシユ記憶装置 (54) に充填する必要がある時は、テーブルの底部にある最も古く使用されたデータトランクは該テーブルからはずされ、ディスク記憶装置 (14) から丁度充填された新しいデータトランクはテーブルの頭部にかかるて最も詳しく使用される。

- 60 -

たデータトランクとなる。この算法は周知のもので、最近使用トランクがキヤンシユ記憶装置中にあるが活動性のデータトランクはキヤンシユ記憶装置 (54) からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充填された、すなわち同じディスク記憶装置アドレスを有するデータトランクをリンク連鎖するリンク・ポインタを有する。これらのテーブルは、最近使用及び最も古く使用されたリンク・エッジ情報が更新される毎に更新される。このようにして、特定のトランクのキヤンシユ記憶装置 (54) を操作する作業は、特定のトランク用の記憶装置表エントリが特定のディスク記憶装置を特定することが常に知られているので簡略化されうる。かくして、最近使用トランク及び最も古く使用されたトランクのテーブルを、該テーブルが特定のディスク記憶装置によつてリンク連鎖されるならば、該表することはかなり簡略化され得る。ただ、他のディスク記憶装置が所置の時間内に充填されているならば、キヤンシユ記憶装置 (54)

- 61 -

の全内容を操作する必要があるけれども、1個以上のディスク記憶装置が内蔵されていなければ、確実に該装置が実現されうる。

#### 6. タグ・ゼロ指令

IBM 社の対応ディスク記憶装置システムの標準的な構成によれば、「タグ」命令として知られているある種の命令が用いられ、これによつて記憶装置 (18) はシステム CTL のインタフェイス (13) に設けられる駆動制御器 (20) に通じる。システム CTL インタフェイス、タグ命令、並はバス・ライン・ライン、バス・アクト・ライン等の完全な定義はメモレックス社の「ディスク記憶システム操作規程」3673/3675/3670 (出版番号第 3673.21-02) を参照されたい。しかし、記憶装置の標準的な構成の中で、ディスク・キヤンシユ (16) を含むディスク記憶システムを作成し操作することはできない。ディスク・キヤンシユの操作の概念を利用すいためには、前述のタグ命令を発生したり再用したりし、その命令が制御のようすディスク・キヤンシユ (16) 通過を作成し、

- 62 -

よつてチャփシング操作を行うようにならなければならぬ。タグ指令に複数の段階をへて用いることができるが、直覺なことはダイスク・チャփシングを行はずるための代わりにはれたタグ指令が直感としたものではなく、かつダイスク1/0アブシステムの構成内に表された意味としてコードされた他のタグ指令と区別されないようにしておくべきである。好ましい実施例にこれば、カンシエ機能を用ひざるタグ指令としては、バス・アクトに町置きを有するタグ・コード00(bex)を用いることが最もよいことが判明した。タグ・ゼロ指令を用いて町置き(18)からダイスク・チャփシング(16)が受けると、ダイスク・チャփシングはダイスク・アブシステムを削除し、上述のようにもたらす必要な操作を実行する。対応するIBM社の人力／出力アブシステムの定義によれば、タグ・コード00は未使用のCTLタグ・アウト・バス(タグ・ビット0, 3, 4, 5, 6, 7, 全て0に相当)で、これはCTLバス・アクトのラインに用いられる。

#### 町置データ速度

-63-

上の等式を知るには、まず先行技術が示した範例的を理解する必要がある。第14図を参照すると、先行技術によるSYNC INとSYNC OUTが記載されている。基本的なタイミング関係はエフジ(200)、(204)間、エフジ(204)、(208)間、及びエフジ(208)、(212)間によって規定される。これらのパルス間の時間は均等で、当該ダイスク・メモリ上位ターボ・エンコードされた情報をよつて直感形成されるクロックサンダ・バルスによって測定される。エフジ(200)、(201)間、エフジ(204)、(205)間、エフジ(204)、(209)間、及びエフジ(212)、(215)間の時間は第14図のダイスク・ストリーミング(12)内のハードウェアによって制御される。SYNC INパルス(200, 204, 208, 212)の先行エフジとSYNC OUTパルス(202, 206, 210, 214)の先行エフジ間の時間關係、及びSYNC INパルス(210, 205, 209, 213)の後続エフジとSYNC OUTパルス(203, 207, 211, 215)の後続エフジ間の時間關係は町置制御装置(10)内のCTLケーブル・ライナーとハードウェア・ライナーによって示される第14図のエフジ(200)、(204)間、

-64-

第2回データ表示し、上述べてきたことと、ダイスク・チャփシング・アブシステムによつて、町置データ速度と映された結果などを示すことができる。町置データ速度によれば、チャփシングにデータをデータ自身の由来で記述することができ、従来のようくダイスクに直感する町置速度を併存してダイスクに直感する町置速度によつて規定されたデータ速度が規定されることはない。ダイスク・チャփシング(16)の直感は直感的によれば、フル・トランク情報が満たさず表示するフル・トランク・バッファ(B6)内に記憶され、該情報を中央處理装置が必要とした場合は、ダイスク・チャփシング・アブシステムとチャփシングのデータ転送レートが一定データ速度である必要ではなく、当該町置速度よりデータ速度によっては制御されることにならぬ。チャփシングCTLインタフェイス(78)のデータ速度が一定である必要がないので、チャփシングの速度が制御可能となる。

ダイスク・チャփシング(16)発明の町置データ速

-64-

度は、SYNC OUTパルス[(202)と(205)間の時間關係、(206)と(207)間の時間關係、(210)と(211)間の時間關係、及び(214)と(215)間の時間關係]の先行エフジと後続エフジ間の時間は、比町置制御装置(10)内のハードウェア、及びSYNC IN内のディレーラー経路速度によつて制御される。

町置データ速度の概念を用いると、従来のSYNC INとSYNC OUTの關係とは著しく異なる速度パルスが得られる。町置データ速度の概念を用いると、SYNC INパルスの先行エフジはSYNC OUTパルスに照して反復的な過渡關係を生じない。第15図を参照すると、位置(216)、(220)間、及び位置(220)、(224)間の時間はダイスク・チャփシング(16)のハードウェアの伝送速度、及び電子制御によつて測定されるものであり、ダイスクに直感する町置速度によつて測定されるものではない。エフジ(216)、(220)間、及びエフジ(220)、(224)間の時間は、公知のSYNC INパルスの速度パルスとして示される第14図のエフジ(200)、(204)間、

-65-

エフジ (204)、(208) 間、及びエフジ (208)、(212) Mの時間よりも小であることに注意されたい。すなわち、可変データ速度の下での伝送速度は先行技術の速度よりも遅い。なぜなら、伝送速度はディスク・チャփシユ (16) の電子装置によって制御されるからであり、物理的な伝送装置によって制御されるものではないからである。

エフジ (224)、(228) 間、及びエフジ (228)、(232) 間の時間は SYNC OUT の後端エフジの電子制御によるセクタによって制御される。SYNC OUT の後端パルスのエフジ (227)、(231) が確認できればエフジ (224)、(228) 間、及びエフジ (228)、(232) 間の一時的状態が判別される。SYNC IN パルスのエフジ (228)、(232) は、SYNC OUT パルスの後端エフジ (227)、(231) が確認された後で初めてのみ発生する。SYNC OUT パルスの後端エフジ (227)、(231) は各先行エフジ (226)、(230) からかなり遅延して示されている。なぜなら、エフジ (227)、(231) は、内部に復調制装置のデータ・バッファが他の CTL データ伝送に使用しないと

- 67 -

きに常に復調制装置のハードウェアによって遅延されるからである。内部に復調制装置データ・バッファは、CTL データ伝送速度がテキニカル・データ伝送速度を超えると使用できなくなる。従つて、ディスク・チャփシユ・システムが複数台かける可変データ速度の時代における SYNC OUT パルスの先行エフジ (226) と後端エフジ (227) M の時間、及び SYNC OUT パルスの先行エフジ (230) と後端エフジ (231) M の時間は、テキニカル・データ伝送速度が CTL データ伝送速度と同等か、それを超える必要とする場合を含む。従つて、CTL データ伝送速度とテキニカル伝送速度間に「同期」作用が伴する。データ伝送速度は「可変」である。従つて、エフジ (224)、(228) 間、及びエフジ (228)、(232) 間の時間は、ディスク・チャփシユ・ハードウェア・ライン・ドライバとライン・レシーバを含む CTL ケーブル、及びディスク・チャփシユ・メモリと電子制御が生じた遅延時間からなる。先行技術の装置の場合はと同様に、SYNC IN パルスの先行エフジと SYNC OUT パルスの先行エフジ間にすなわち、

- 68 -

位置 (216)、(218) 間、位置 (220)、(222) 間、位置 (224)、(226) 間、位置 (228)、(230) 間、及び位置 (232)、(234) 間] の時間は、CTL ケーブル・ディレーラー、及びビデオ装置のハードウェア・ディレーラー、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行技術の場合と同様に、SYNC IN と SYNC OUT の一時的状態、エフジ (217)、(219) 間の時間、エフジ (221)、(223) 間の時間、及びエフジ (233)、(235) 間の時間は同じく内部バッファやビデオ装置のライン・ドライバ／ライン・レシーバのディレーラーを用意できるか否かをモニタするためのビデオ装置のハードウェア・ディレーラー、及び CTL ケーブル・ディレーラーを含む。先行技術では見られなくて可変データ速度装置の特徴をなすものは、テキニカルのディレーラーによってエフジ (225)、(227)、及びエフジ (229)、(231) 間が付加的に遅延されて得られるバイトを伝送する（すなわち、内部ビデオ装置のデータ・バッファを使用し得るようにする）。位置 (216)、(217)、位置 (220)、(221)、

- 69 -

位置 (224)、(225)、位置 (228)、(229)、及び位置 (232)、(233) 間の時間は、良好な形態を見えかづ十分持続時間有するパルスを発生するようだけられるディスク・チャփシユ (16) M によって制御される。

従つて、ここに示した可変データ速度はこれは、公知技術ではなし遅れられない遅延でデータとディスク・チャփシユ (16) とテキニカル (8) 間で発生し得ることが理解できよう。データ伝送速度は本質的にテキニカル (8) のデータ速度によって制御される。

#### 4 図面の簡単な説明

第 1 図は従来のコンピューター・システムの略図であり、第 2 図はディスク・チャփシユ・システムを使用するコンピューター・システムの略図であり、第 3 図は第 6 図、第 7 及び第 7 と 8 の立体体を示す図であり、第 4 図はディスク・チャփシユを、ビデオ装置を用いたコンピューター・システムに適用した場合の別の実用装置の略図である。第 5 図はディスク・チャփシユの主要部

- 70 -

電極等に対する SYNC IN/SYNC OUT パルスのパルス・トレイン図である。

- 2, 36 … 中央処理装置
- 10, 18 … 記憶装置装置
- 12, 20 … ディスク・制御装置
- 14 …… ディスク・ドライブ
- 16 …… ディスク・キャッシュ
- 52 …… ロード/セクタ・マイクロプロセッサ
- 58, 90 … インタフェイス

特許出願代理人

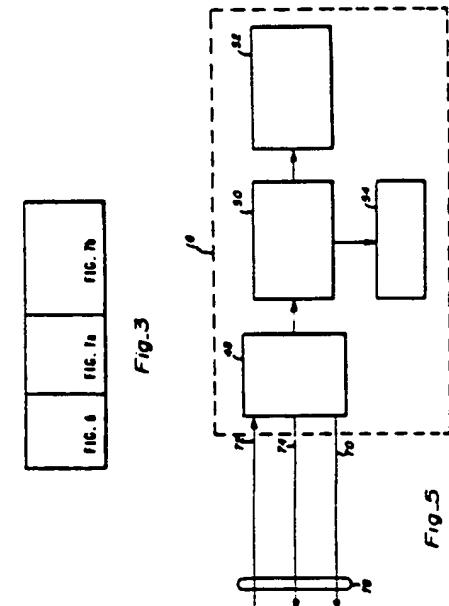
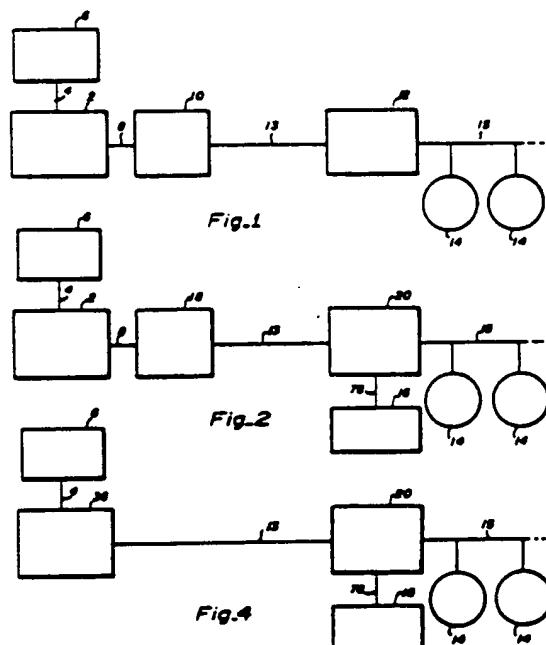
弁護士 山 勝 行

ードフェニアユニットの構造であり、第6回は、ディスク・キャッシュのディスク別部装置へのインターフェイスの構造であり、第7回はディスク・キャッシュ・インターフェイス・コントロール・ロジックの構造であり、第8回はキャッシュ・コントロール・マイクロプロセッサ、ロード/セクタ・マイクロプロセッサ及びキャッシュ・メモリの構造であり、第9回はディスク・キャッシュの実現されたハードウェア・コンフィギュレーションであり、第10回はハードウェア・コントロール装置するSCUモードの回であり、第11回はハードウェア・コントロール装置するコントロール・モードの回であり、第12回はハードウェア・コントロール装置するバス・スルー・モードの回であり、第13回はディスク・キャッシュのマイクロプログラムの流れ図であり、第14回は先行技術のSYNC IN/SYNC OUT パルスのパルス・トレイン図であり、及び第15回はディスク・キャッシュの可逆データ

-71-

-72-

回路の構成(内容に変更なし)



-319-

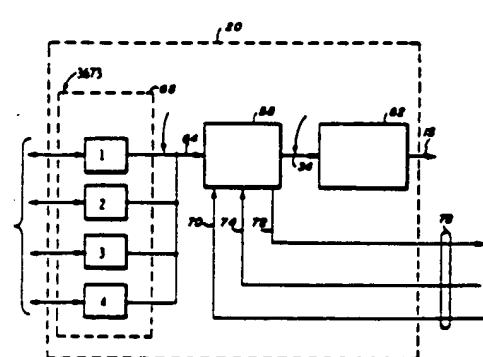


Fig.6

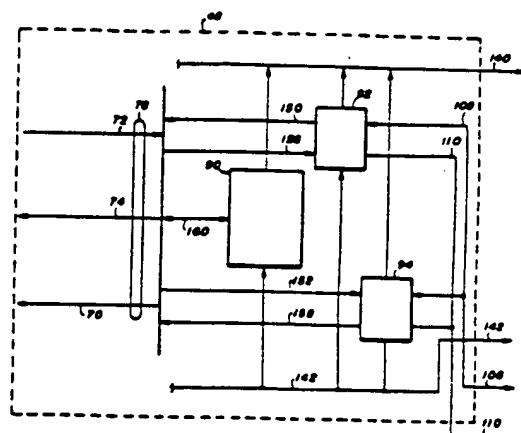


Fig.7a

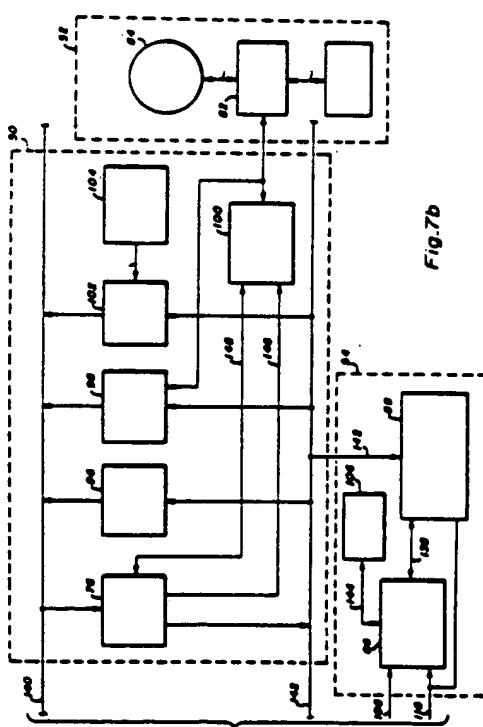


Fig.7b

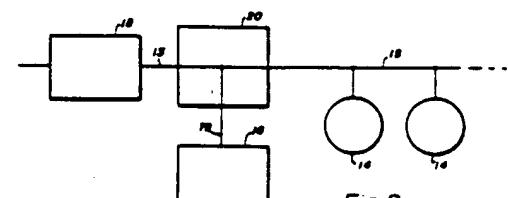


Fig.8

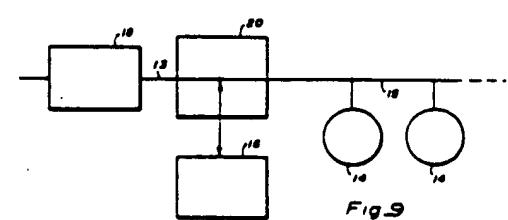


Fig.9

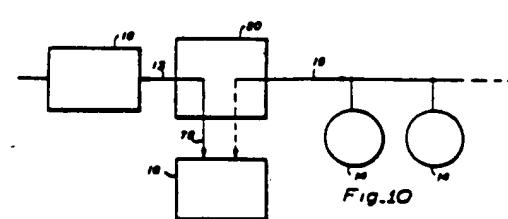


Fig.10

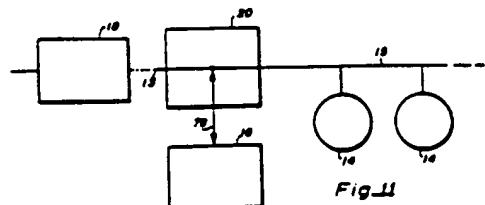


Fig. 11

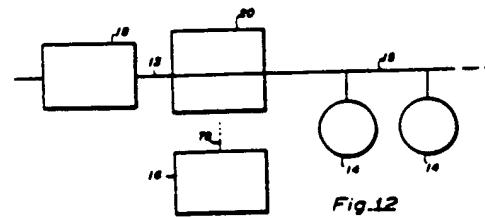


Fig. 12

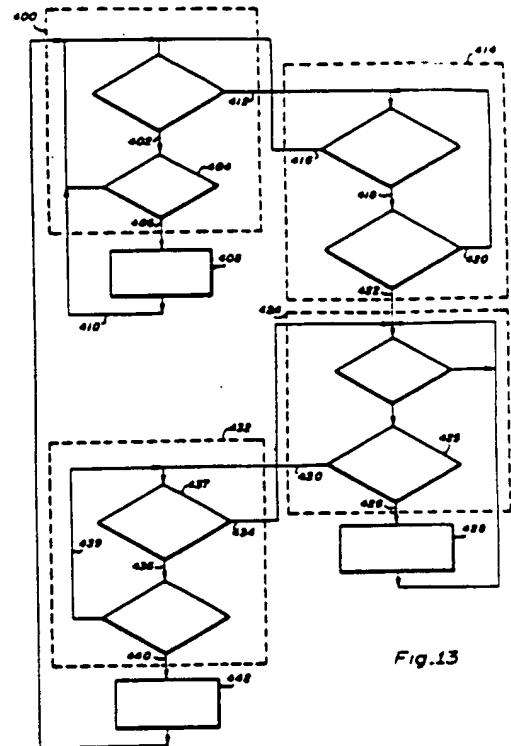


Fig. 13

## 第1頁の続き

②發明者 ジエシイ・インゲブライト・スタムネス

アメリカ合衆国カリフォルニア  
州サンニーベール・マンダリン・  
ドライブ1227

②發明者 リン・ウエルドン・ウイットフ  
ィールド

アメリカ合衆国カリフォルニア  
州サン・ホーゼ・パリ・グレン  
・ドライブ6150

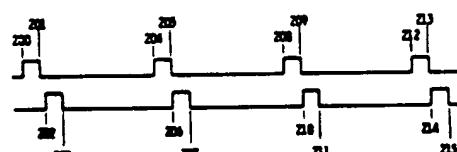


Fig. 14

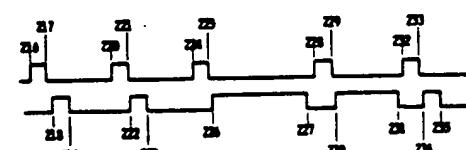


Fig. 15

手続補正書(直見)

昭和55年6月4日

特許庁長官 謹

1. 事件の表示

昭和55年特許願書 75397 号

2. 発明の名称

ディスク・キヤツシ・サブシステム

3. 補正をする者

事件との関係 出願人  
名前(氏名) メソレツクス・コーポレーション

4. 代理人

住所 東京都千代田区4番町17号103室 昭和ビルディング  
氏名 (7101) ㊞ 岩士 山崎 行道 様  
固有  
(6001) ㊞ 岩士 高石 楠馬

5. 補正命令の日付

昭和 年 月 日



特許  
55.6.10  
出願第一回

6. 補正の対象  
明細書の修正  
(内容に変更なし)

7. 補正の内容  
説明のとおり

特開昭55-164958(2)

手続補正書(直見)

昭和55年7月11日

特許庁長官 謹

1. 事件の表示

昭和55年特許願書 75397 号

2. 発明の名称

ディスク・キヤツシ・サブシステム

3. 補正をする者

事件との関係 出願人  
名前(氏名) メソレツクス・コーポレーション

4. 代理人

住所 東京都千代田区4番町17号103室 昭和ビルディング  
氏名 (7101) ㊞ 岩士 山崎 行道 様  
固有  
(6001) ㊞ 岩士 高石 楠馬

5. 補正命令の日付

昭和 年 月 日



特許  
55.7.11  
出願第一回

6. 補正の対象  
明細書の修正  
(変更なし)

7. 補正の内容  
説明のとおり

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**